

BEST AVAILABLE COPY

The KR Laid-Open No. 2001-0109725

METHOD FOR FABRICATING SEMICONDUCTOR MEMORY DEVICE

The present invention relates to a method for fabricating a semiconductor memory device. In accordance with the present invention, a titanium nitride (TiN) layer which is an adhesion layer and a polycrystal silicon layer are sequentially deposited on a dielectric layer with a high k-dielectric constant. Afterwards, a dry etching process is employed by using an etch mask for forming patterns of a top electrode and a load resistor, thereby forming the polycrystal silicon layer in shapes of the patterns of the top electrode and the load resistor. Afterwards, the etch mask is either remained or removed and then, a wet etching process is employed. Thus, the pattern of the TiN layer as the top electrode of the capacitor and the pattern of the polycrystal silicon layer are formed in the identical size and furthermore, the pattern of the TiN layer as the load resistor and the pattern of the polycrystal silicon layer are formed in the identical size. Then, a wet etching

process is continuously employed without a time delay and thus, the patters of the TiN layers for the top electrode and the load resistor are formed in a size smaller than the pattern of the polycrystal silicon layer.

Accordingly, it is possible to prevent the load resistor from being decreased by forming the pattern of the TiN layer smaller than the pattern of the polycrystal silicon layer beneath the TiN layer and further improving reliability of products.

특 2001-0109725

(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(51) Int. Cl.
H01L 21/8239

(11) 공개번호 특 2001-0109725
(43) 공개일자 2001년 12월 12일

(21) 출원번호	10-2000-0030301
(22) 출원일자	2000년 06월 02일
(71) 출원인	삼성전자 주식회사 윤종용 경기 수원시 팔달구 매탄3동 416
(72) 발명자	박원모 경기도 수원시 팔달구 영통동한국APT 212동 1804호 김동현 경기도 용인시 기흥읍 서천리 397-11번지
(74) 대리인	김능균

설명구 : 유통

(54) 반도체 메모리소자의 제조방법

요약

본 발명은 반도체 메모리소자의 제조방법을 개시한다. 이에 의하면, 유전상수가 높은 유전막 상에 접착층의 TIN막과 다결정실리콘막을 순차적으로 적층하고, 상부전극과 부하저항의 패턴을 위한 식각마스크를 이용하여 건식식각공정에 의해 다결정실리콘막을 커패시터의 상부전극 및 부하저항의 패턴으로 형성하고, 살기 식각마스크를 그대로 남겨 두거나 제거한 후 습식식각공정에 의해 커패시터의 상부전극으로서 TIN막의 패턴과 다결정실리콘막의 패턴을 동일 사이즈로 형성하고, 아울러 부하저항으로서 TIN막의 패턴과 다결정실리콘막의 패턴을 동일 사이즈로 형성하고, 계속하여 시간적인 지체없이 습식식각공정에 의해 상부전극과 부하저항을 TIN막의 패턴을 다결정실리콘막의 패턴 보다 작은 사이즈로 형성한다.

따라서, 본 발명은 다결정실리콘막의 패턴 보다 그 미래의 TIN막의 패턴을 작게 형성함으로써 부하저항의 감소를 억제하고 나아가 제품의 신뢰성을 향상할 수 있다.

001도

02a

03제시

도면의 간단한 설명

도 1은 종래 기술에 의한 반도체 메모리소자의 커패시터 및 부하저항의 구조를 나타낸 단면도.

도 2a 내지 도 2c는 본 발명의 실시예에 의한 반도체 메모리소자의 제조방법을 설명하기 위한 단면공정도.

도 3a 내지 도 3c는 본 발명의 다른 실시예에 의한 반도체 메모리소자의 제조방법을 설명하기 위한 단면공정도.

발명의 실체를 설명

발명의 특징

발명이 속하는 기술분야 및 그 분야의 종래기술

본 발명은 반도체 메모리소자의 제조방법에 관한 것으로, 보다 상세하게는 유전상수가 높은 유전막 상에 다결정실리콘막과 그 아래의 금속막으로 이루어진 적층구조의 커패시터와 함께 부하저항을 형성하더라도 부하저항의 목표 저항값이 감소하는 것을 억제하도록 한 반도체 메모리소자의 제조방법에 관한 것이다.

일반적으로, DRAM과 같은 반도체 메모리소자의 고집적화에 따라 메모리셀 사이즈가 축소되고, 메모리셀 커패시터의 사이즈도 축소된다. 이에 따라, 메모리셀 커패시터의 커패시턴스도 감소하므로 반도체 메모리

소자의 신뢰성에 문제를 일으키지 않을 정도로 커패시터스를 충분히 확보하기가 점차 어려진다. 이러한 문제를 해결하기 위해 커패시터의 유효면적을 확장하거나 고유전율의 유전막을 사용하거나 유전막 자체를 박막화하는 방법이 집중적으로 검토되어 왔다. 커패시터의 유효면적 확장을 위해 커패시터의 구조를 플레나(planar) 구조에서 적층(stack) 구조로 옮겨가면서 복합 절연막인 ONO(native oxide-nitride-top oxide) 유전막을 반도체 메모리소자에 적용하기 시작하였다. 그러나, ONO를 유전막으로 사용하는 커패시터는 예의 박막화를 위해 절화막의 두께를 줄일 경우, 낸셜전류가 증가함으로 ONO를 50 Å 이하의 두께로 박막화하는데 한계가 있었다. 이러한 한계를 극복하기 위해 커패시터의 유전막으로서 ONO를 대신하여 NO(nitride-oxide)의 구조가 새로이 사용되기 시작하였다. NO의 구조로 이루어진 유전막을 사용하는 디램에서는 상부전극의 패턴과 부하저항의 패턴을 단층구조의 다결정실리콘막으로 형성하므로 형성 완료된 부하저항의 저항값을 당초 원하는 값으로 맞추기가 용이하다.

최근에 들어서는 설계_rule이 0.15 μ m 이하인 초고집적 반도체 메모리소자의 제조를 위해 유전막으로서 유전상수가 높은 금속산화물, 예를 들어 산화탄탈륨(Ta₂O₅)이 기존의 산화물을 대체하는 추세에 있다. Ta₂O₅ 재질의 유전막은 절화막과 산화막의 적층구조로 이루어진 유전막에 비하여 낸셜전류가 크다는 문제점이 있다. 이를 개선하기 위해 종래에는 커패시터의 상부전극으로 절화티타늄(TiN)막과 다결정실리콘막의 적층구조를 사용하여 왔다. 즉, 종래의 디램에서는 도 1에 도시된 바와 같이, 반도체기판(10) 상에 총간절연막(20)이 평탄화되고, 총간절연막(20)의 일부영역 상에 실린더형 커패시터들(30)이 배치되고, 커패시터들(30)의 일측으로부터 절해진 거리를 두고, 이격하여 총간절연막(20)의 다른 일부영역 상에 부하저항(40)이 배치된다. 커패시터들(30)의 하부전극들의 패턴이 다결정실리콘막(31)으로 이루어지고, 다결정실리콘막(31)의 표면 상에 Ta₂O₅와 같은 재질의 유전막(33)의 패턴이 형성되고, 유전막(33)의 패턴 상에 상부전극의 TiN막(35)과 다결정실리콘막(37)의 패턴이 형성된다. 또한 부하저항(40)을 유전막(33)의 패턴 상에 TiN막(35)과, 다결정실리콘막(37)의 패턴이 형성된 구조로 이루어진다. 물론, 도면에 도시되지 않았으나, 반도체기판(10)에는 메모리소자를 위한 트랜지스터의 게이트영역과 소스/드레인영역들이 형성되고, 소스영역들과 하부전극용 다결정실리콘막(31)의 전기적 연결을 위해 콘택 플리그(21)가 총간절연막(20)에 형성된 자명한 사실이다.

이와 같이 구성된 종래의 디램의 경우에는 유전막(33) 상에 상부전극의 다결정실리콘막(37)을 직접 적층하면 유전막(33)과 다결정실리콘막(37)의 접착성이 떨어지기 때문에 유전막(33) 상에 접착층을 TiN막(35)을 적용하고 그 위에 다결정실리콘막(37)을 적층함으로써 유전막(33)과 다결정실리콘막(37)의 접착성 강화가 가능해진다.

도장이 이루어져 있는 기술적 과정

그러나, 부하저항(40)도 상부전극과 마찬가지로 접착층을 TiN막(35)과 함께 그 상부의 다결정실리콘막(37)으로 이루어지는데 TiN막(35)이 낮은 저항률의 금속성 재질이기 때문에 형성 완료한 부하저항(40)의 저항값이 당초 원하는 목표값에 비하여 급격히 감소하는 문제점이 있다. 그래서 이에 대한 해결책이 절실히 요구되고 있는 실정이다.

따라서, 본 발명의 목적은 고유전상수의 유전막을 갖는 커패시터를 형성하면서도 부하저항의 감소를 억제하여 제품의 신뢰성을 향상하도록 한 반도체 메모리소자의 제조방법을 제공하는데 있다.

본원의 구성 및 작용

이와 같은 목적을 달성하기 위한 본 발명에 의한 반도체 메모리소자의 제조방법은 반도체기판의 총간절연막의 일부영역 상에 커패시터의 하부전극을 형성하는 단계;

상기 하부전극을 포함한 상기 총간절연막의 전면 상에 고유전상수의 유전막을 적층하는 단계;

상기 유전막의 전면 상에 상부전극으로서 접착층인 금속막과 다결정실리콘막을 순차적으로 적층하는 단계;

상기 다결정실리콘막 상에 원하는 패턴의 제 1, 2 쇠각마스크를 형성하고 이를 이용하여 상기 다결정실리콘막을 선택적으로 쇠각함으로써 상기 하부전극에 오버랩하는 상부전극용 제 1 다결정실리콘막의 패턴과, 상기 제 1 다결정실리콘막의 패턴으로부터 절해진 거리만큼 미적한 위치에 부하저항용 제 2 다결정실리콘막의 패턴을 형성하는 단계; 그리고

상기 노출된 부분의 금속막 및 유전막을 상기 총간절연막이 노출될 때까지 선택적으로 쇠각함으로써 제 1, 2 금속막의 패턴을 형성한 후 상기 부하저항의 저항값 감소를 억제하기 위해 상기 제 1, 2 금속막의 패턴을 상기 제 1, 2 다결정실리콘막의 패턴보다 작은 크기로 형성하는 단계를 포함하는 것을 특징으로 한다.

비록 작하게는 상기 금속막의 노출된 부분을 선택적으로 쇠각하는 단계는 상기 제 1, 2 쇠각마스크를 이용하여 상기 금속막의 노출된 부분을 선택적으로 쇠각하여 제 1, 2 금속막의 패턴으로 각각 형성할 수 있다.

또한 상기 금속막의 노출된 부분을 선택적으로 쇠각하는 단계는

상기 제 1, 2 쇠각마스크를 제거하여 상기 제 1 다결정실리콘의 패턴과 제 2 다결정실리콘의 패턴을 노출시키는 단계; 그리고

상기 제 1 다결정실리콘의 패턴과 제 2 다결정실리콘의 패턴을 쇠각마스크로 이용하여 상기 금속막의 노

출된 부분을 선택적으로 식각하여 제 1, 2 금속막의 패턴을 형성하는 단계를 포함할 수 있다.

따라서, 본 발명은 고유전상수의 유전막 상에 금속막과 다결정실리콘막으로 구성된 부하저항을 형성할 때 다결정실리콘막의 패턴보다 작은 금속막의 패턴을 형성하므로 부하저항의 저항값이 원하는 목표값보다 감소하는 것을 억제할 수 있다. 그 결과, 본 발명은 제품의 신뢰성을 향상할 수 있다.

이하, 본 발명에 의한 반도체 메모리소자의 제조방법을 첨부된 도면을 참조하여 상세히 설명하기로 한다. 도면에서 종래의 부분과 동일 부분에는 동일 부호를 부여한다.

도 2a 내지 도 2c는 본 발명의 실시예에 의한 반도체 메모리소자의 제조방법을 나타낸 공정도이다.

도 2a를 참조하면, 먼저 반도체기판(10) 상에 층간절연막(20)을 적층한 후 층간절연막(20) 상에 커패시터들의 실리더형 하부전극들을 위한 다결정실리콘막(31)의 패턴을 형성한다. 물론, 설명의 편의상 설명의 이해를 돋기 위해 도면에 도시되지 않았으나 반도체기판(10)에는 메모리소자를 위한 트랜지스터의 게이트영역과 소스/드레인영역들이 형성되고, 소스영역들과 다결정실리콘막(31)의 전기적 연결을 위해 콘택트플러그(21)가 층간절연막(20)에 형성하여 두는 것을 자명한 사실이다.

이후 스퍼터링공정 또는 MOCVD(metal-organic vapor deposition) 공정을 이용하여 다결정실리콘막(31)을 포함한 층간절연막(20)의 전면 상에 유전상수가 높은 유전막(33), 예를 들어 Ta_2O_5 , Al_2O_3 , 또는 Be_2SrTiO_3 와 같은 재질의 유전막을 적층한다. 그런 다음 커패시터의 상부전극을 형성하기 위해 스퍼터링공정을 이용하여 접착층인 금속막, 예를 들어 TiN 막(35)을 250 Å 정도의 두께로 적층하고 그 위에 화학기상증착공정을 이용하여 다결정실리콘막(37)을 2000 Å 정도의 두께로 적층한다.

도 2b를 참조하면, 다결정실리콘막(37)의 적층이 완료되고 나면, 다결정실리콘막(37) 상에 감광막을 코팅하고 상부전극과 부하저항을 형성할 위치에 각각 상부전극과 부하저항의 패턴을 위한 제 1, 2 식각마스크, 예를 들어 감광막(50), (60)의 패턴을 형성한다.

이어서 감광막(50), (60)의 패턴을 마스크로 이용하여 노출된 부분의 다결정실리콘막(37)과 금속막(35)을 그 아래의 유전막(33)이 노출될 때까지 건식식각하여 상부전극용 제 1 다결정실리콘막(137)의 패턴과 부하저항용 제 2 다결정실리콘막(237)의 패턴을 등일 사이즈로 형성한다. 여기서, 제 1 금속막(135)의 패턴과 제 2 금속막(235)의 패턴이 각각 제 1 다결정실리콘막(137)의 패턴 및 제 2 다결정실리콘막(237)의 패턴과는 동일한 사이즈를 가지므로 이러한 상태에서는 종래와 마찬가지로 부하저항(40)의 저항값이 원하는 목표값보다 감소한다.

이를 방지하기 위해 감광막(50), (60)의 패턴을 그대로 남겨둔 채 시간적인 지체없이 계속하여 제 1 금속막(135)의 패턴과 제 2 금속막(235)의 패턴을 습식식각함으로써 제 1 금속막(135)의 패턴과 제 2 금속막(235)의 패턴의 양측 단부로부터 중앙부를 향해 층방향으로 일정 길이(L) 만큼 제거한다. 따라서, 제 1 금속막(135)의 패턴과 제 2 금속막(235)의 패턴이 각각 제 1 다결정실리콘막(137)의 패턴 및 제 2 다결정실리콘막(237)의 패턴보다 작은 사이즈를 가지므로 종래와는 달리 부하저항(40)의 저항값이 원하는 목표값보다 감소하는 것을 억제할 수 있다.

도 2c를 참조하면, 제 1 금속막(135)의 패턴과 제 2 금속막(235)의 패턴이 형성되고 나면, 감광막(50), (60)의 패턴을 제거하여 제 1 다결정실리콘막(137)의 패턴 및 제 2 다결정실리콘막(237)의 패턴을 노출시킨다. 따라서, 본 발명의 커패시터(30)와 부하저항(40)이 완성된다.

도 3a 내지 도 3c는 본 발명의 다른 실시예에 의한 반도체 메모리소자의 제조방법을 나타낸 공정도이다. 도면에서 도 2a 내지 도 2c의 부분과 동일 적용의 부분에는 동일 부호를 부여한다.

도 3a를 참조하면, 먼저, 반도체기판(10) 상에 층간절연막(20)을 적층한 후 층간절연막(20) 상에 커패시터들의 실리더형 하부전극들을 위한 다결정실리콘막(31)의 패턴을 형성한다. 물론, 설명의 편의상 설명의 이해를 돋기 위해 도면에 도시되지 않았으나 반도체기판(10)에는 메모리소자를 위한 트랜지스터의 게이트영역과 소스/드레인영역들이 형성되고, 소스영역들과 다결정실리콘막(31)의 전기적 연결을 위해 콘택트플러그(21)가 층간절연막(20)에 형성하여 두는 것을 자명한 사실이다.

이후 스퍼터링공정 또는 MOCVD(metal-organic vapor deposition) 공정을 이용하여 다결정실리콘막(31)을 포함한 층간절연막(20)의 전면 상에 유전상수가 높은 유전막(33), 예를 들어 Ta_2O_5 , Al_2O_3 , 또는 Be_2SrTiO_3 와 같은 재질의 유전막을 적층한다. 그런 다음 커패시터의 상부전극을 형성하기 위해 스퍼터링공정을 이용하여 접착층인 금속막, 예를 들어 TiN 막(35)을 250 Å 정도의 두께로 적층하고 그 위에 화학기상증착공정을 이용하여 다결정실리콘막(37)을 2000 Å 정도의 두께로 적층한다.

다결정실리콘막(37)의 적층이 완료되고 나면, 다결정실리콘막(37) 상에 감광막을 코팅하고 상부전극과 부하저항을 형성할 위치에 각각 상부전극과 부하저항의 패턴을 위한 제 1, 2 식각마스크, 예를 들어 감광막(50), (60)의 패턴을 형성한다. 이어서 감광막(50), (60)의 패턴을 마스크로 이용하여 노출된 부분의 다결정실리콘막(37)을 그 아래의 금속막(35)이 노출될 때까지 건식식각하여 상부전극용 제 1 다결정실리콘막(137)의 패턴과 부하저항용 제 2 다결정실리콘막(237)의 패턴을 함께 형성한다.

도 3b를 참조하면, 제 1 다결정실리콘막(137)의 패턴과 제 2 다결정실리콘막(237)의 패턴이 형성되고 나면, 감광막(50), (60)의 패턴을 제거하여 제 1 다결정실리콘막(137)의 패턴과 제 2 다결정실리콘막(237)의 패턴을 노출시킨다.

도 3c를 참조하면, 제 1 다결정실리콘막(137)의 패턴과 제 2 다결정실리콘막(237)의 패턴이 노출되고 나면, 제 1 다결정실리콘막(137)의 패턴과 제 2 다결정실리콘막(237)의 패턴을 마스크로 이용하여 노출된 부분의 금속막(35) 및 그 아래의 유전막(33)을 층간절연막(20)이 노출될 때까지 습식식각하여 제 1 금속막(135)의 패턴과 제 2 금속막(235)의 패턴을 형성한다. 여기서, 제 1 금속막(135)의 패턴과 제 2 금속막(235)의 패턴이 각각 제 1 다결정실리콘막(137)의 패턴 및 제 2 다결정실리콘막(237)의 패턴과는 동일한 사이즈를 가지므로 이러한 상태에서는 종래와 마찬가지로 부하저항(40)의 저항값이 원하는 목표값보다 감소한다.

이를 방지하기 위해 시간적인 지체없이 계속하여 제 1 금속막(135)의 패턴과 제 2 금속막(235)의 패턴을
직각방향으로써 제 1 금속막(135)의 패턴과 제 2 금속막(235)의 패턴의 양쪽 단부로부터 중앙부를 향해 즉
방향으로 일정 길이(L)만큼 제거한다. 따라서, 본 발명의 커파시터(30)와 부하저항(40)이 완성된다.

따라서, 제 1 금속막(135)의 패턴과 제 2 금속막(235)의 패턴이 각각 제 1 다결정실리콘막(137)의 패턴
및 제 2 다결정실리콘막(237)의 패턴보다 작은 사이즈를 가지므로 증대되는 달리 부하저항(40)의 저항값
이 원하는 목표값보다 감소하는 것을 억제할 수 있다.

본원의 효과

이상에서 살펴본 바와 같이, 본 발명에 의한 반도체 메모리소자의 제조방법은 유전상수가 높은
유전막 상에 접착층인 TiN막과 다결정실리콘막을 순차적으로 적층하고, 상부전극과 부하저항의 패턴을 위
한 식각마스크를 이용하여 건식식각공정에 의해 다결정실리콘막을 커파시터의 상부전극 및 부하저항의 패
턴으로 형성하고, 상기 식각마스크를 그대로 남겨 두거나 제거한 후 습식식각공정에 의해 커파시터의 상
부전극으로서 TiN막의 패턴과 다결정실리콘막의 패턴을 동일 사이즈로 형성하고, 아울러 부하저항으로서
TiN막의 패턴과 다결정실리콘막의 패턴을 동일 사이즈로 형성하고, 계속하여 시간적인 지체없이 습식식각
공정에 의해 상부전극과 부하저항용 TiN막의 패턴을 다결정실리콘막의 패턴 보다 작은 사이즈로
형성한다.

따라서, 본 발명은 다결정실리콘막의 패턴보다 그 아래의 TiN막의 패턴을 작게 형성함으로써 부
하저항의 감소를 억제하고 나아가 제품의 신뢰성을 향상할 수 있다.

한편, 본 발명은 도시된 도면과 상세한 설명에 기술된 내용에 한정하지 않으며 본 발명의 사상을
벗어나지 않는 범위 내에서 다양한 형태의 변형도 가능함은 이 분야에 통상의 지식을 가진 자에게는 자명
한 사실이다.

(5) 청구의 범위

청구항 1

반도체기판의 층간절연막의 일부영역 상에 커파시터의 하부전극을 형성하는 단계;

상기 하부전극을 포함한 상기 층간절연막의 전면 상에 고유전상수의 유전막을 적층하는 단계;

상기 유전막의 전면 상에 상부전극으로서 접착층인 금속막과 다결정실리콘막을 순차적으로 적층하는
단계;

상기 다결정실리콘막 상에 원하는 패턴의 제 1, 2 식각마스크를 형성하고 이를 이용하여 상기 다결정실리
콘막을 선택적으로 식각함으로써 상기 하부전극에 오버랩하는 상부전극용 제 1 다결정실리콘막의 패턴과,
상기 제 1 다결정실리콘막의 패턴으로부터 정해진 거리만큼 이격한 위치에 부하저항용 제 2 다결정실리콘
막의 패턴을 형성하는 단계; 그리고

상기 노출된 부분의 금속막 및 유전막을 상기 층간절연막이 노출될 때까지 선택적으로 식각함으로써 제
1, 2 금속막의 패턴을 형성한 후 상기 부하저항의 저항값 감소를 억제하기 위해 상기 제 1, 2 금속막의
패턴을 상기 제 1, 2 다결정실리콘막의 패턴보다 작은 크기로 형성하는 단계를 포함하는 반도체 메모리소
자의 제조방법.

청구항 2

제 1 항에 있어서, 상기 금속막의 노출된 부분을 선택적으로 식각하는 단계는 상기 제 1, 2 식각
마스크를 이용하여 상기 금속막의 노출된 부분을 선택적으로 식각하여 제 1, 2 금속막의 패턴으로 각각

형성하는 것을 특징으로 하는 반도체 메모리소자의 제조방법.

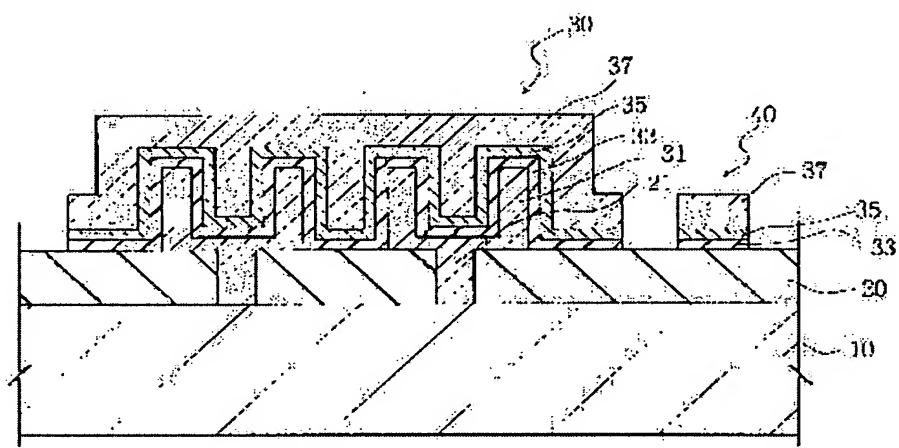
첨구항 3

제 1 항에 있어서, 상기 금속막의 노출된 부분을 선택적으로 식각하는 단계는
상기 제 1, 2 식각마스크를 제거하여 상기 제 1 다결정실리콘의 패턴과 제 2 다결정실리콘의 패턴을 노출
시키는 단계; 그리고

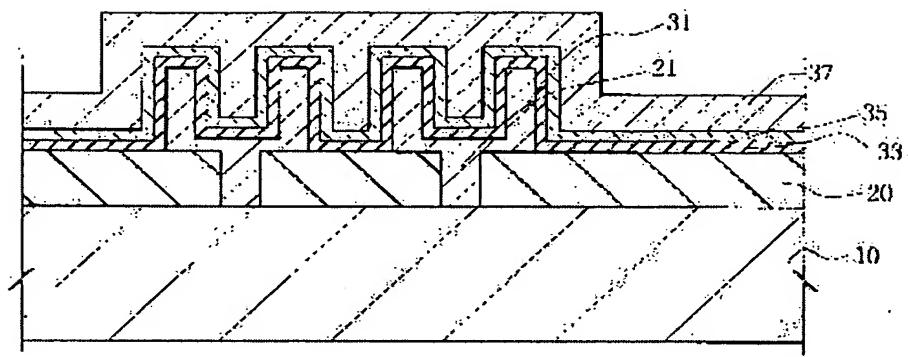
상기 제 1 다결정실리콘의 패턴과 제 2 다결정실리콘의 패턴을 식각마스크로 이용하여 상기 금속막의 노
출된 부분을 선택적으로 식각하여 제 1, 2 금속막의 패턴을 형성하는 단계를 포함하는 것을 특징으로 하
는 반도체 메모리소자의 제조방법.

도면

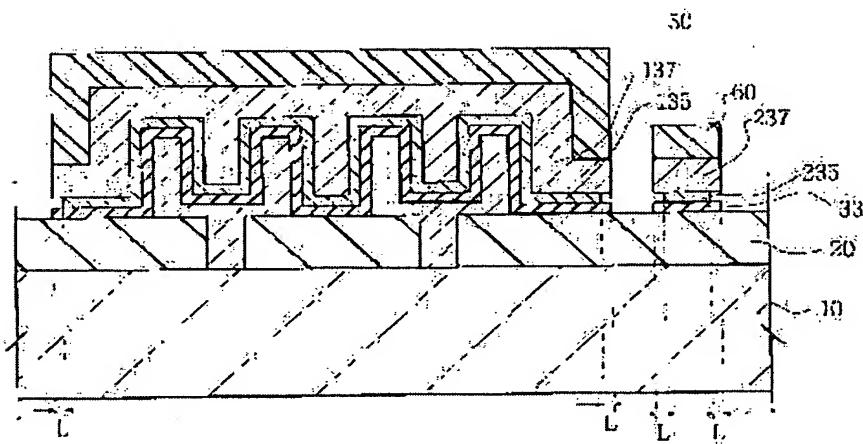
도면1



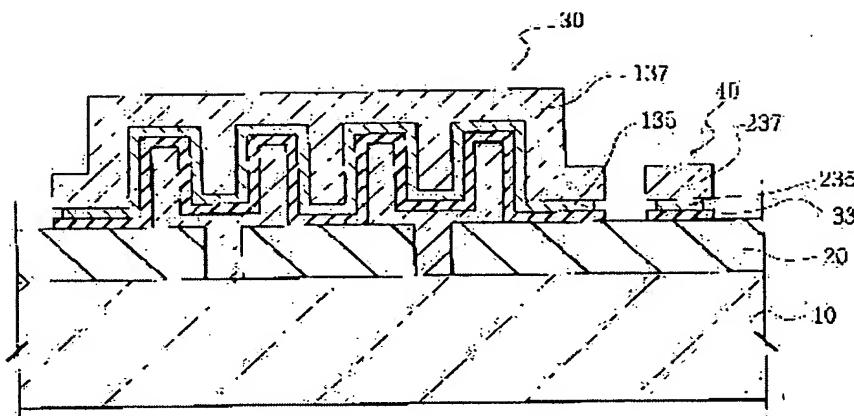
5026



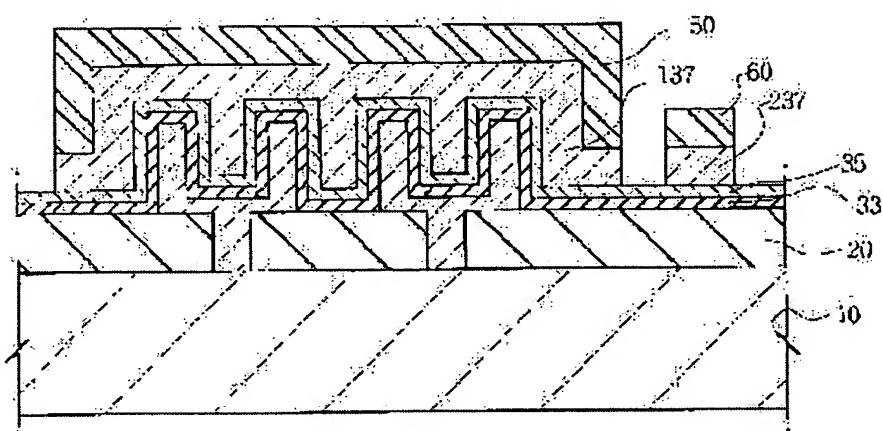
5026



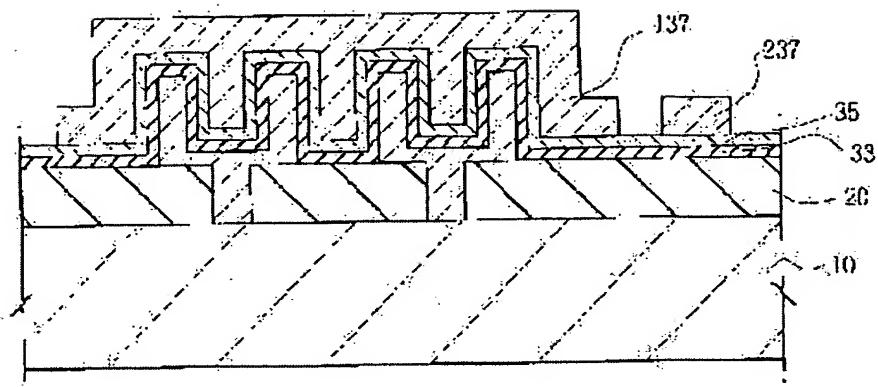
5012a



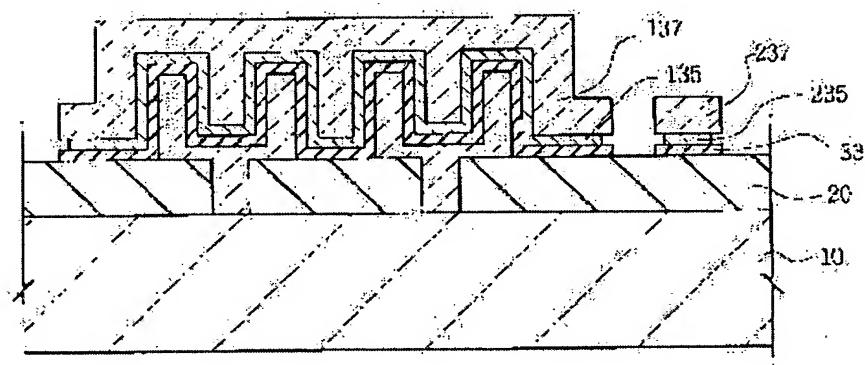
5013a



도면36



도면36



**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- BLACK BORDERS**
- IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- FADED TEXT OR DRAWING**
- BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- SKEWED/SLANTED IMAGES**
- COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- GRAY SCALE DOCUMENTS**
- LINES OR MARKS ON ORIGINAL DOCUMENT**
- REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.